



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출 원 번 호 : 10-2003-0026676  
Application Number

출 원 년 월 일 : 2003년 04월 28일  
Date of Application APR 28, 2003

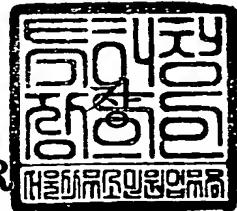
출 원 인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.04.28
【발명의 명칭】	동기형 반도체 메모리 장치의 데이터 입력 장치 및 이를 이용한 데이터 입력 방법
【발명의 영문명칭】	Data input device in a synchronous semiconductor memory device and method of inputting a data using the same
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	윤영진
【성명의 영문표기】	YOON, Young Jin
【주민등록번호】	720306-1058317
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대6차 아파트 605-402
【국적】	KR
【발명자】	
【성명의 국문표기】	이승민
【성명의 영문표기】	LEE, Seung Min
【주민등록번호】	740616-1695613
【우편번호】	467-140
【주소】	경기도 이천시 고담동 하이닉스 고담기숙사 101동 1511호
【국적】	KR
【발명자】	
【성명의 국문표기】	김시홍
【성명의 영문표기】	KIM, Si Hong

【주민등록번호】 750423-1804317  
【우편번호】 449-840  
【주소】 경기도 용인시 죽전2동 1003-4 이지뷰 1동 102호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인  
신영무 (인)  
【수수료】  
【기본출원료】 19 면 29,000 원  
【가산출원료】 0 면 0 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 5 항 269,000 원  
【합계】 298,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

입력되는 데이터 스트로브 신호(DQS)의 상승 및 하강 엣지 때마다 상승엣지 신호 및 하강 엣지 신호를 생성하는 수단; 상기 하강 엣지 신호가 2개 발생할 때마다 하나의 제 2 하강 엣지 신호를 생성하는 수단; 상기 상승 및 하강 엣지 신호에 따라 입력되는 데이터를 4개로 분할하여 래치한 다음 4개로 분할된 데이터를 상기 제 2 하강 엣지 신호에 따라 재차 각기 래치하기 위한 데이터 변환 수단; 및 스트로브 클럭에 따라 상기 데이터 변환 수단으로부터의 데이터를 글로벌 입출력 라인에 전달하기 위한 글로벌 입출력 신호 생성기를 포함하여 이루어진 동기식 메모리 장치의 데이터 입력 장치가 개시된다.

**【대표도】**

도 4

**【색인어】**

DQS, 동기식 메모리 장치

**【명세서】****【발명의 명칭】**

동기형 반도체 메모리 장치의 데이터 입력 장치 및 이를 이용한 데이터 입력 방법{Data input device in a synchronous semiconductor memory device and method of inputting a data using the same}

**【도면의 간단한 설명】**

도 1 은 종래 동기형 반도체 메모리 장치의 데이터 입력 장치의 블록도이다.

도 2 는 데이터 마진을 설명하기 위한 타이밍도이다.

도 3 의 문제점을 설명하기 위한 타이밍도이다.

도 4 는 본 발명에 따른 동기형 반도체 메모리 장치의 데이터 입력 장치의 블록도이다.

도 5 및 도 6은 도 4의 동작설명을 위한 타이밍도이다.

\* 도면의 주요 부분에 대한 부호의 설명

10: DQS 버퍼 20: DIN 버퍼

30: 제 1 래치 40 및 50: 제 2 및 제 3 래치

60 및 500: 글로벌 입출력 신호 생성기

100: 코랜드 디코더 200:DQS 리시버

300: DQS 디바이더 400: DIN 버퍼

## 【발명의 상세한 설명】

### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 동기식 반도체 메모리 장치에 관한 것으로, 보다 상세하게는 고주파로 동작하는 동기식 반도체 메모리 장치의 데이터 입력 장치 및 데이터 입력 방법에 관한 것이다.

<13> DRAM의 동작 속도를 향상시키기 위하여 외부의 시스템 클럭에 동기되어 동작하는 싱크로너스 DRAM(synchronous DRAM; 이하 SDRAM'이라 한다.)이 개발되었다.

<14> 또한 데이터 처리 속도를 더욱 향상시키기 위하여 한 클럭의 상승 에지 및 하강 에지에 동기되어 데이터를 처리하는 이중데이터 율(Double Data Rate; 이하 'DDR'이라 한다.) SDRAM과 Rambus DRAM이 개발되었다.

<15> DDR SDRAM의 경우 데이터가 고속으로 전송되므로 소스 싱크로너스 인터페이스(source synchronous interface)를 사용한다. 이는 데이터의 입출력이 데이터 소스에서 데이터와 같이 만들어진 데이터 스트로브 신호(data strobe signal: 이하 'DQS'라 한다.)에 동기되어 전달됨을 의미한다.

<16> 도 1에는 종래의 동기형 반도체 메모리 장치의 데이터 입력 장치가 도시되어 있다.

<17> 종래의 데이터 입력 장치는 DQS를 버퍼링하기 위한 DQS 버퍼(10), 입력 데이터(DIN)를 버퍼링하기 위한 DIN 버퍼(20), DQS의 상승 엣지(dsr4)에 따라 입력 데이터(DIN)를 래치하기 위한 제 1 래치(30), DQS의 하강 엣지(dsf4)에 따라 입력 데이터(DIN)를 래치하기 위한 제 2 래치(40), DQS의 하강 엣지(dsf4)에 따라 제 1 래치(30)에 래치된 입력 데이터(DIN)를 래치하기 위한 제 3 래치(50) 및 스트로브 클럭(strobe clock)에 따라 인에이블되며 제 2 및 제 3 래

치(40 및 50)에 래치된 입력 데이터(DIN)에 따라 글로벌 입출력 신호를 생성하는 글로벌 입출력 신호 생성기(60)를 포함하여 이루어 진다.

<18> 쓰기 동작시 첫번째로 들어오는 입력 데이터는 DQS의 상승 엣지(ds4)에 따라 제 1 래치(30)에 래치된다. 두번째로 들어오는 입력 데이터는 DQS의 하강 엣지(ds4)에 따라 제 2 래치(40)에 저장된다. 이와 동시에 제 1 래치(30)에 저장된 첫번째 입력 데이터는 DQS의 하강 엣지(ds4)에 따라 제 3 래치(50)에 저장된다.

<19> 제 3 및 제 2 래치(50 및 40)에 각기 래치된 첫번째 및 두번째 입력 데이터는 스트로브 클럭(strobe clock)에 따라 글로벌 입출력 신호 생성기(60)에 전달되고, 글로벌 입출력 신호 생성기(60)는 글로벌 입출력 신호(GIO)를 생성하게 된다.

<20> 즉, 입력 데이터는 DQS의 하강 엣지(ds4)에 따라 2개 단위로 할당(align)된다.

<21> 그런데 JEDEC 규격에서 tDQSS(write command to first DQS latching transition)는  $0.75*tCK \sim 1.25*tCK$ 로 규정하고 있다. 따라서 DQS의 하강 엣지(ds4)또한  $1.25tCK \sim 1.25*tCK$ 의 범위 즉,  $0.5*tCK$  만큼의 마진을 가질 수 있다. 도 2를 참조하여 설명하면 다음과 같다.

<22> 도 2에는 tDQSS=0.75tCK 인 경우에 래치된 데이터, tDQSS=1.25tCK 인 경우에 래치된 데이터 및 스트로브 클럭(strobe clock)이 도시되어 있다.

<23> 도 2에 도시된 바와 같이, 스트로브 클럭(strobe clock)과 만나야 하는 데이터를 살펴보면 항상 올바른 데이터가 존재하게 되는 구간은  $1*tCK$  (DQS의 하강 엣지(ds4) 신호가 매 주기마다 입력됨) -  $0.5*tCK$  (DQS의 하강 엣지(ds4) 신호가  $0.5tCK$  만큼의 차이를 두고 들어올 수 있으므로 DQS의 하강 엣지(ds4) 신호에 의해서 래치되는 데이터 역시  $0.5*tCK$  만큼의 차이가 존재 함) =  $0.5*tCK$  가 된다. 스트로브 클럭(Strobe clock)과 만나는 데이터의 최대 마진을 계

산해 보면 스트로브 클럭(strobe clock)이 항상 올바른 데이터가 존재하는 구간의 정 가운데에 오는 경우가 되고, 이 경우 최대 마진으로는  $0.25*tCK$  가 된다.

<24> 정상적인 동작은 위와 같이 일어나지만 쓰기 동작으로 인한 데이터의 입력이 끝나면 DQS 는  $tWPST$  (Write DQS Postamble Time:  $(0.4\sim0.6)*tCK$ ) 만큼의 시간을 가진 후 고 임피던스 (Hi-Z)상태로 돌아가야 하는데 이때 DQS 신호에 링잉(ringing) 이 발생하여 원하지 않는 펄스 가 추가로 생성되는 경우 쓰기 동작 오류가 발생할 수 있다.

<25> 도 3 에서는  $tDQSS=0.75*tCK$  를 가지는 DQS 에서  $tWPST((0.4\sim0.6*tCK))$  이후에 즉, 두번 째 DQS 이후에 DQS 링잉(ringing) 이 발생하게 되는 예를 볼 수 있다. 첫번째 및 두번째 입력 데이터는 정상적인 하강 엣지(dsr4)신호에 따라 정상적으로 할당된다. 하지만 DQS 링잉에 기인하여 새롭게 발생된 DQS 글리치(glitch) 신호에 의해서 내부적으로 상승 엣지(dsr 4)신호와 하강 엣지(dsf4)신호가 추가로 발생하는 경우에는 입력으로 들어오는 3,4 번째 신호는 추가로 발생한 하강 엣지(dsf4) 신호에 의해서 알 수 없는 다른 값으로 바뀌게 되고 결국 스트로브 클럭(strobe clock)이 뜨기 이전에 알 수 없는 새로운 데이터가 추가로 발생한 하강 엣지(dsf4) 신호에 의해 할당(align)된다. 그로인하여 잘못된 글로벌 입출력 신호(Gio)를 만들어 내는 오류가 발생될 수 있다.

<26> 이러한 오류가 발생하지 않으려면 추가로 발생하게 되는 하강 엣지(dsf4) 신호가 뜨기 이전에 스트로브 클럭(strobe clock)이 떠서 올바른 데이터를 글로벌 입출력 신호 생성기(60)에 전달하지 않으면 안된다.

<27> 즉, 스트로브 클럭(Strobe clock)과 마지막으로 발생하는 DQS신호( $tDQSS$ 가  $0.75*tCK$  인 경우의 DQS 신호)의 거리는  $0.75*tCK$  이므로  $0.75*tCK \leq 0.4*tCK$  ( $tWPST$ 가  $0.4*tCK \sim 0.6*tCK$  이므로 최소값을 가지게 되는 경우  $0.4*tCK$  가 된다) + rPW (링잉(ringing)으로 인해

서 발생하는 신호의 펄스폭이며, 하강 엣지(dsf4) 신호는 DQS의 하강 신호에 의해 만들어 지므로 링잉 신호의 하강이 발생하는 시점까지의 시간이 링잉 신호의 펄스폭(rPW)이 된다)인 경우를 만족하는 주파수에서만 오류가 발생하지 않는데 rPW를 400ps로 놓고 계산해 보면 클럭 펄스의 타임(tCK)이 14ns 이상의 저주파 동작에서만 오류가 발생하지 않게 된다.

<28> 결국 종래 회로는 고주파 동작시 스트로브 클럭(strobe clock)과 하강 엣지(dsf4) 신호에 래치되어 있는 데이터와의 마진이 너무 작아( $0.25*tCK$ )쓰기 동작이 안 될 확률이 있으며 DQS 신호에 링잉(ringing)이 발생하게 되는 경우 쓰기 동작에 오류가 발생할 수 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<29> 따라서 본 발명은 스트로브 클럭과 만나게 되는 DQS의 하강 엣지(dsf4) 신호를 매 클럭마다 만들지 않고 2 클럭마다 생성되게 하므로써 상술한 단점을 해소할 수 있는 동기형 반도체 메모리 장치의 데이터 입력 장치 및 이를 이용한 데이터 입력 방법을 제공하는데 그 목적이 있다.

<30> 본 발명의 다른 목적은 쓰기 명령이 들어온 후 tWPST + rPW 가 지나기 전까지만 DQS 할당을 위한 블록을 활성화 시켜주어 고주파 동작에서도 정상적인 쓰기 동작이 가능하도록 하는 데 있다.

#### 【발명의 구성 및 작용】

<31> 상술한 목적을 달성하기 위한 본 발명에 따른 동기식 메모리 장치의 데이터 입력 장치는 입력되는 데이터 스트로브 신호(DQS)의 상승 및 하강 엣지 때마다 상승엣지 신호 및 하강 엣지 신호를 생성하는 수단;

<32> 상기 하강 엣지 신호가 2개 발생할 때마다 하나의 제 2 하강 엣지 신호를 생성하는 수단;

<33> 상기 상승 및 하강 엣지 신호에 따라 입력되는 데이터를 4개로 분할하여 래치한 다음 4 개로 분할된 데이터를 상기 제 2 하강 엣지 신호에 따라 재차 각기 래치하기 위한 데이터 변환 수단; 및

<34> 스트로브 클럭에 따라 상기 데이터 변환 수단으로부터의 데이터를 글로벌 입출력 라인에 전달하기 위한 글로벌 입출력 신호 생성기를 포함하여 이루어진 것을 특징으로 한다.

<35> 상기 데이터 변환 수단은 상기 상승 엣지 신호에 따라 입력 데이터를 래치하기 위한 제 1 래치;

<36> 상기 하강 엣지 신호에 따라 상기 제 1 래치에 래치된 입력 데이터 및 새로운 입력 데이터를 각기 래치하기 위한 제 2 및 제 3 래치로 구성된 제 1 래치 그룹;

<37> 상기 상승 엣지 신호에 따라 상기 제 2 및 제 3 래치에 각기 래치된 입력 데이터와 새로운 입력 데이터를 각기 래치하기 위한 제 4, 제 5 및 제 6 래치로 구성된 제 2 래치 그룹;

<38> 하강 엣지 신호에 따라 상기 제 4, 제 5 및 제 6 래치에 각기 래치된 입력 데이터와 새로운 입력 데이터를 각기 래치하기 위한 제 7, 제 8, 제 9 및 제 10 래치로 구성된 제 3 래치 그룹; 및

<39> 상기 제 2 하강 엣지 신호에 따라 상기 제 7, 제 8, 제 9 및 제 10 래치에 각기 래치된 입력 데이터를 각기 래치하기 위한 제 11, 제 12, 제 13 및 제 14 래치로 구성된 제 4 래치 그룹을 포함하여 이루어진다.

<40> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명하기로 한다.

<41> 도 4 는 본 발명에 따른 동기형 반도체 메모리 장치의 데이터 입력 장치의 블록도로써 도 5를 참조하여 그 동작을 설명하기로 한다.

<42> BL(burst length)=4 로 한번의 쓰기 동작이 이루어진다고 가정할 경우, DIN 버퍼(400)로부터의 첫번째 데이터(1st data)는 DQS 리시버(200)로부터의 상승 엣지(dsr4) 신호에 의해서 래치(Latch1)에 래치된다.

<43> DQS 리시버(400)로부터의 하강 엣지(dsf4) 신호가 뜨면 래치(Latch1)에 래치되어 있던 첫번째 데이터(1st data)는 래치(Latch2a)로 전달됨과 동시에 두번째 데이터(2nd data)는 래치(Latch2b)에 래치된다. 다시 상승 엣지(dsr4) 신호가 뜨면 래치(Latch2a)에 래치되어 있던 첫번째 데이터와 래치(Latch2b)에 래치된 두번째 데이터(2nd data)는 래치(Latch3a 및 Latch3b)로 각각 전달됨과 동시에 세번째 데이터(3rd data)는 래치(Latch1 및 Latch3c)에 래치된다.

<44> 이어서 하강 엣지(dsf4) 신호가 뜨면 래치(Latch3a, Latch3b 및 Latch3c)에 래치되어 있던 첫번째, 두번째 및 세번째 데이터(1st data, 2nd data 및 3rd data)는 래치(Latch4a, Latch4b 및 Latch4c)로 각기 전달되고 래치(Latch1)에 래치되어 있던 첫번째 데이터(1st data)는 래치(Latch2)로 전달되며 네번째 데이터(4th data)는 래치(Latch4d)에 래치된다.

<45> 그 후, DQS드라이버(300)로부터 제 2 하강 엣지(2nd dsf4)신호가 뜨면 래치(Latch4a, Latch4b, Latch4c 및 Latch4d)에 래치되어 있던 데이터는 래치(Latch5a, Latch5b, Latch5c 및 Latch5d)로 전달되고 래치(Latch5a, Latch5b, Latch5c 및 Latch5d)에 래치된 데이터는 스트로브 클럭(strobe clock)에 따라 글로벌 입출력 신호 생성기(500)에 전달된다. 즉, 데이터(Din)는 도 5의 파형(algnDinr0(1), algnDinr0(2), algnDinr1(3) 및 algnDinr1(4))과 같이 래치에 할당된다.

<46> 제 2 하강 엣지(2nDsf4)신호는 쓰기 명령에 의해서 생성이 가능한 신호이다. 즉, 외부에서 들어온 쓰기 명령(write command)에 따라 코マン드 디코더(Command decoder; 100)에 의해 쓰기기 명령임을 나타내는 쓰기 펄스 신호(wrp)가 생성된다. 쓰기 펄스 신호(wrp)가 활성화 된 이후 DQS 펄스가 2번, 즉 하강 엣지(dsf4)신호가 두번 뜨고난 직후에 제 2 하강 엣지(2nDf4)신호가 만들어지게 된다. DQS 링잉(ringing)이 도 5에 도시된 바와 같이 입력으로 들어온다고 가정할 경우,  $t_{DQSSmin}(0.75*t_{CK}) +$  정상적인 DQS 펄스 2번 ( $1.5*t_{CK}$  : dsr4-dsf4-dsr4-dsf4 까지의 시간) +  $t_{WPST}(0.4*t_{CK}) + r_{PW}$  (링잉 신호의 펄스폭: 400ps 라고 가정) =  $2.65*t_{CK} + 400ps$  이내에 제 2 하강 엣지(2nDsf4)신호가 생성된다. 따라서 래치(Latch4a, Latch4b, Latch4c 및 Latch4d)에 래치된 데이터를 제 2 하강 엣지(2nDf4)신호에 의해 래치(Latch5a, Latch5b, Latch5c 및 Latch5d)로 전달하면 DQS 링잉(ringing)으로 인해 하강 엣지(dsf4)신호가 추가적으로 생성되더라도 스트로브 클럭(strobe clock)과 만나게 되는 데이터는 2 클럭의 주기를 가지는 정상적인 데이터가 된다.

<47> 또한 제 2 하강 엣지(2nDsf4)신호가  $2.65*t_{CK} + 400ps$  이내에 생성되기만 하면 쓰기 동작에 오류가 발생하지 않는다는 것은 DQS 디바이더(300)를 제어하기 위한 신호가  $2.65*t_{CK} + 400ps$  이내에 생성, 전달이 되면 된다는 의미이다. 외부에서 쓰기 명령이 들어오고 쓰기 펄스 신호(wtp)가 DQS 드라이버(300)에 전달되기까지의 시간을 4ns 라고 하면 동작가능 한 주파수는 1.36ns, 즉  $t_{CK}=735Mhz$  까지가 된다.

<48> 본 발명의 데이터 할당 마진(data align margin)을 살펴보면 제 2 하강 엣지(2nDsf4)신호가 2 클럭 마다 한번씩 뜨게 되므로 래치(Latch5a, Latch5b, Latch5c 및 Latch5d)에 래치되어 있는 데이터는 도 6에서 보는 바와 같이  $t_{DQSS}$ 에 의한 차이만이 존재하게 된다. 래치된 데이터가 언제나 올바른 데이터를 가지고 있는 구간은  $1.5*t_{CK}$  이므로 스트로브 클럭(strobe

clock)을 래치된 데이터의 중앙에 띄워주는 경우 최대 데이터 할당 마진(data align margin)은  $0.75*tCK$ 가 될 수 있다.

<49> 전술한 DQS의 상승 및 하강 엣지 신호(dnr4 및 또는 dnf4)는 DQS 리시버(200)에서 생성될 수도 있으며 제 2 하강 신호(2nd Dnf4)와 함께 DQS드라이버(300)에서 생성될 수도 있다. 이러한 DQS 드라이버는 트랜지스터 및/또는 논리소자 등을 이용하여 다양한 형태로 구성할 수 있다.

### 【발명의 효과】

<50> 본 발명에 의하면 DDR II SDRAM에서 사용 가능한 4 비트 프리페치 방식을 DDR SDRAM에 적용할 수 있으며, 스트로브 클럭과 만나는 데이터가 2 클럭 마다 바뀌기 때문에  $tDQSS$ 로 인한 데이터 할당 마진이 종전보다  $0.25*tCK$  내지  $0.75*tCK$ 배, 즉 3배 늘어 나고 DQS 링잉으로 인한 쓰기 오류 동작을 완벽하게 막을 수 있다.

**【특허청구범위】****【청구항 1】**

입력되는 데이터 스트로브 신호(DQS)의 상승 및 하강 엣지 때마다 상승엣지 신호 및 하강 엣지 신호를 생성하는 수단;

상기 하강 엣지 신호가 2개 발생할 때마다 하나의 제 2 하강 엣지 신호를 생성하는 수단;

상기 상승 및 하강 엣지 신호에 따라 입력되는 데이터를 4개로 분할하여 래치한 다음 4개로 분할된 데이터를 상기 제 2 하강 엣지 신호에 따라 재차 각기 래치하기 위한 데이터 변환 수단; 및

스트로브 클럭에 따라 상기 데이터 변환 수단으로부터의 데이터를 글로벌 입출력 라인에 전달하기 위한 글로벌 입출력 신호 생성기를 포함하여 이루어진 것을 특징으로 하는 동기식 메모리 장치의 데이터 입력 장치.

**【청구항 2】**

제 1 항에 있어서,

상기 데이터 변환 수단은

상기 상승 엣지 신호에 따라 입력 데이터를 래치하기 위한 제 1 래치;

상기 하강 엣지 신호에 따라 상기 제 1 래치에 래치된 입력 데이터 및 새로운 입력 데이터를 각기 래치하기 위한 제 2 및 제 3 래치로 구성된 제 1 래치 그룹;

상기 상승 엣지 신호에 따라 상기 제 2 및 제 3 래치에 각기 래치된 입력 데이터와 새로운 입력 데이터를 각기 래치하기 위한 제 4, 제 5 및 제 6 래치로 구성된 제 2 래치 그룹;

하강 엣지 신호에 따라 상기 제 4, 제 5 및 제 6 래치에 각기 래치된 입력 데이터와 새로운 입력 데이터를 각기 래치하기 위한 제 7, 제 8, 제 9 및 제 10 래치로 구성된 제 3 래치 그룹; 및

상기 제 2 하강 엣지 신호에 따라 상기 제 7, 제 8, 제 9 및 제 10 래치에 각기 래치된 입력 데이터를 각기 래치하기 위한 제 11, 제 12, 제 13 및 제 14 래치로 구성된 제 4 래치 그룹을 포함하여 이루어진 것을 특징으로 하는 동기식 메모리 장치의 데이터 입력 장치.

#### 【청구항 3】

제 1 항에 있어서.

상기 스트로브 클럭은 상기 제 2 하강 엣지 신호에 의해 데이터가 래치되는 중간에 상기 글로벌 입출력 신호 생성기에 제공되는 것을 특징으로 하는 동기식 메모리 장치의 데이터 입력 장치.

#### 【청구항 4】

데이터 스트로브 신호의 상승 엣지 신호에 따라 제 1 래치에 입력 데이터를 래치하는 단계;

데이터 스트로브 신호의 하강 엣지 신호에 따라 상기 제 1 래치에 래치된 입력 데이터 및 새로운 입력 데이터를 제 2 및 제 3 래치에 각기 래치하는 단계;

상기 상승 엣지 신호에 따라 상기 제 2 및 제 3 래치에 각기 래치된 입력 데이터와 새로운 입력 데이터를 제 4, 제 5 및 제 6 래치에 래치하는 단계;

상기 하강 엣지 신호에 따라 상기 제 4, 제 5 및 제 6 래치에 각기 래치된 입력 데이터와 새로운 입력 데이터를 제 7, 제 8, 제 9 및 제 10 래치에 각기 래치하는 단계; 및

상기 하강 엣지 신호가 2개 생성될 때마다 생성되는 제 2 하강 엣지 신호에 따라 상기 제 7, 제 8, 제 9 및 제 10 래치에 각기 래치된 입력 데이터를 제 11, 제 12, 제 13 및 제 14 래치에 각기 래치하는 단계; 및

스트로브 클럭에 따라 상기 제 11, 제 12, 제 13 및 제 14 래치에 각기 래치된 데이터를 글로벌 입출력 라인에 전달하는 단계를 포함하여 이루어진 것을 특징으로 하는 동기식 메모리 장치의 데이터 입력 방법.

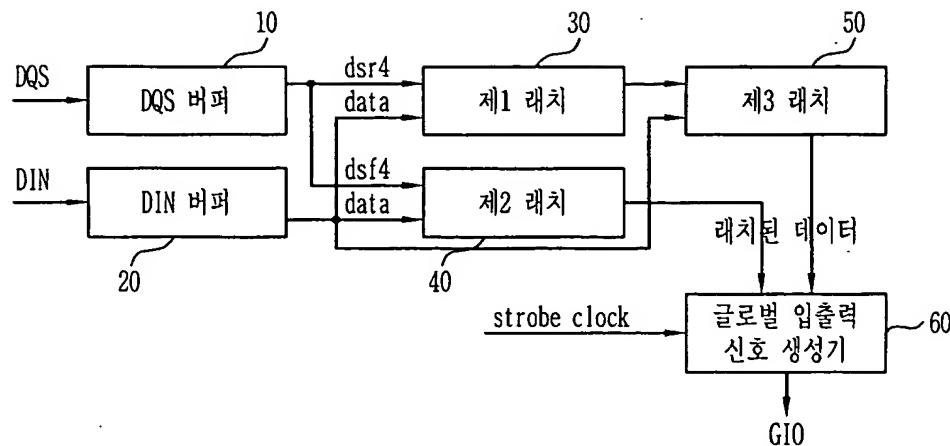
### 【청구항 5】

제 4 항에 있어서,

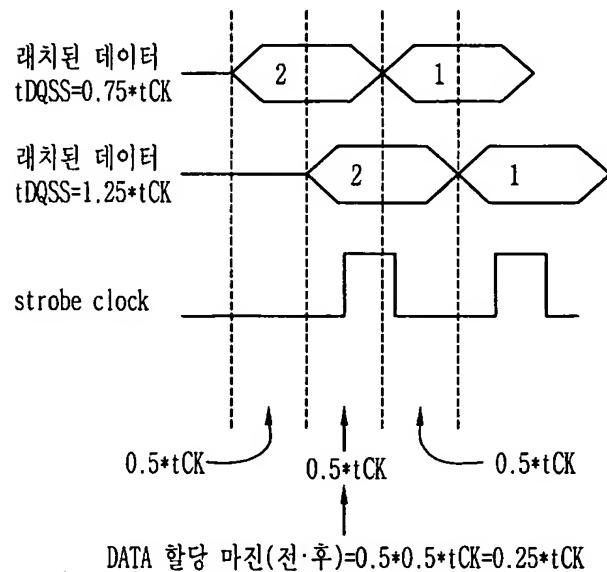
상기 스트로브 클럭은 상기 제 2 하강 엣지 신호에 의해 데이터가 래치되는 중간에 생성되는 것을 특징으로 하는 동기식 메모리 장치의 데이터 입력 방법.

## 【도면】

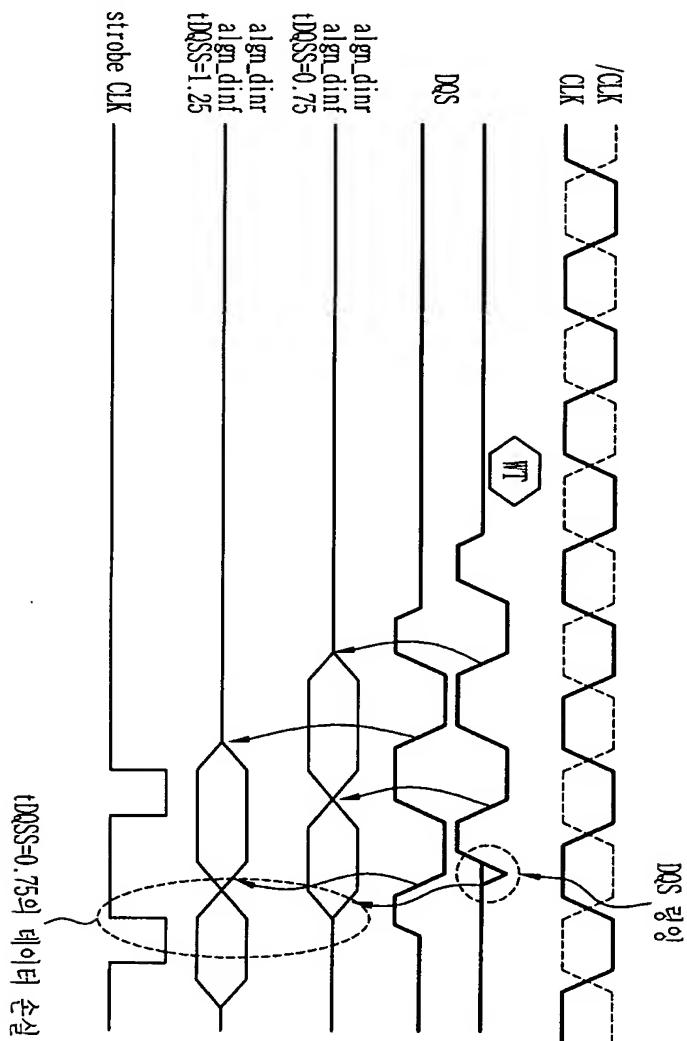
【도 1】



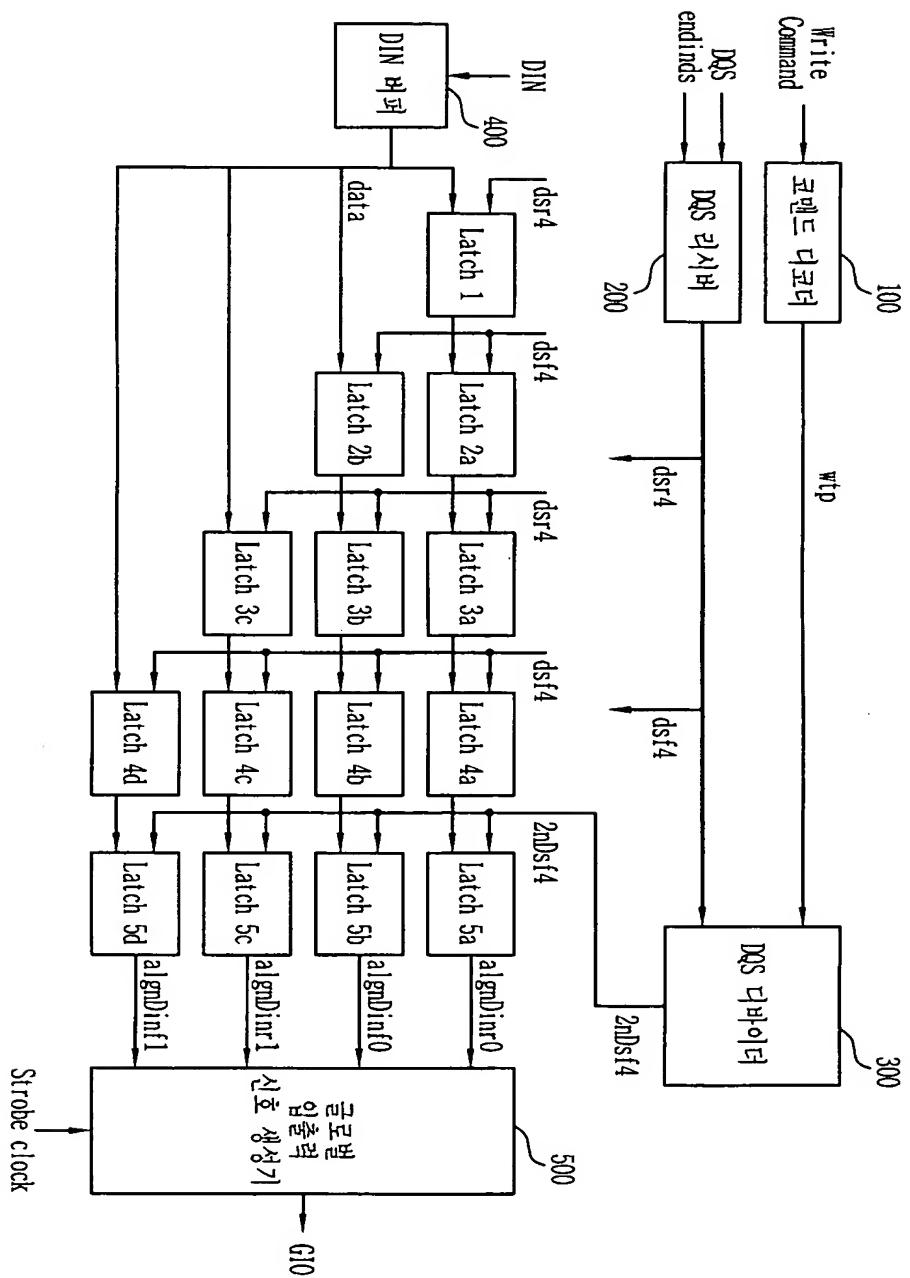
【도 2】



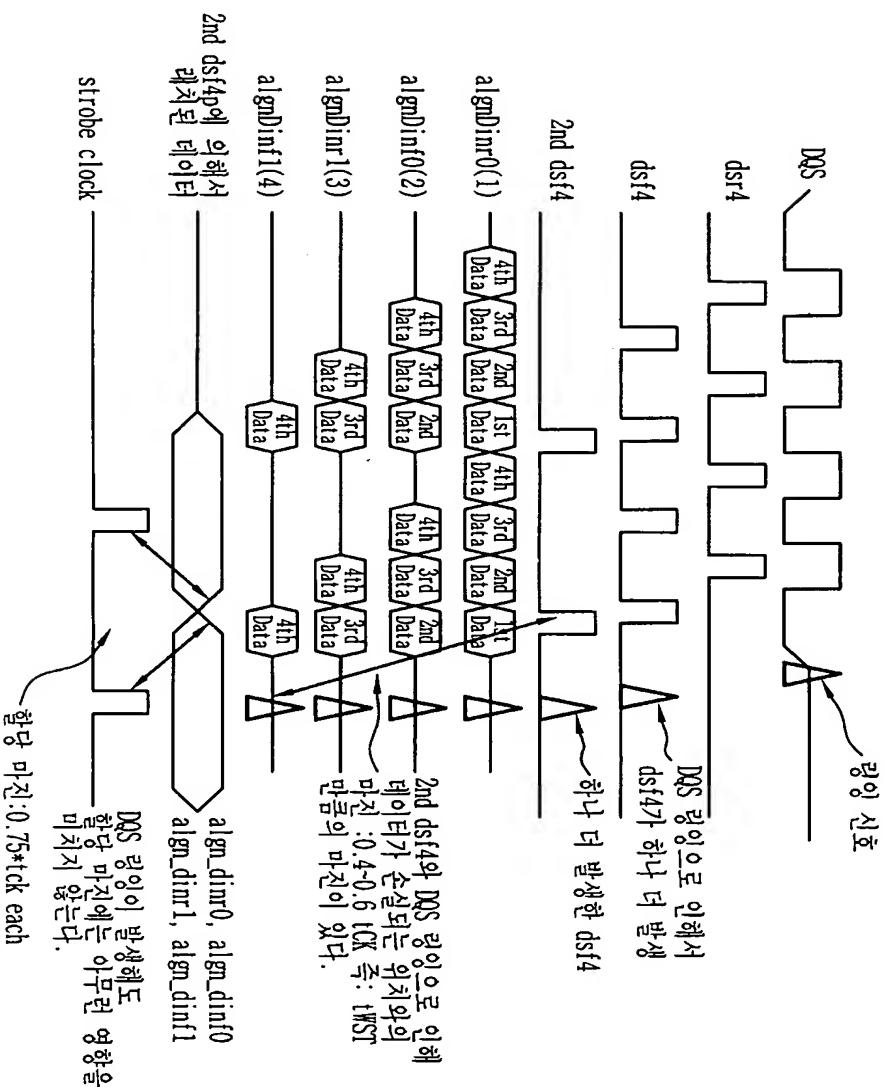
### 【도 3】



【도 4】



【도 5】



## 【도 6】

